

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
31. Dezember 2003 (31.12.2003)

PCT

(10) Internationale Veröffentlichungsnummer
WO 2004/001842 A2

(51) Internationale Patentklassifikation⁷: H01L 21/768,
23/522, 21/316

Joachim [DE/DE]; Lützowstr. 19 A, 81245 München
(DE). SEZI, Recai [DE/DE]; Weiherstr. 14, 91341 Röt-
tenbach (DE).

(21) Internationales Aktenzeichen: PCT/DE2003/001827

(74) Anwalt: VIERING, Hans-Martin; Viering, Jentschura &
Partner, Steinsdorfstr. 6, 80538 München (DE).

(22) Internationales Anmeldedatum:
3. Juni 2003 (03.06.2003)

(81) Bestimmungsstaaten (*national*): CN, JP, KR, SG, US.

(25) Einreichungssprache: Deutsch

(84) Bestimmungsstaaten (*regional*): europäisches Patent (AT,
BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR,
HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR).

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:
102 27 615.3 20. Juni 2002 (20.06.2002) DE

Veröffentlicht:
— ohne internationalen Recherchenbericht und erneut zu ver-
öffentlichen nach Erhalt des Berichts

(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von
US): INFINEON TECHNOLOGIES AG [DE/DE]; St.-
Martin-Str. 53, 81669 München (DE).

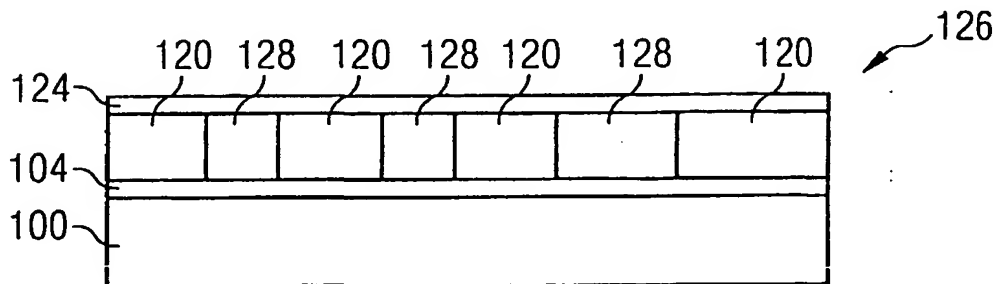
Zur Erklärung der Zweibuchstaben-Codes und der anderen Ab-
kürzungen wird auf die Erklärungen ("Guidance Notes on Co-
des and Abbreviations") am Anfang jeder regulären Ausgabe der
PCT-Gazette verwiesen.

(72) Erfinder; und

(75) Erfinder/Anmelder (nur für US): BARTH, Hans-

(54) Title: LAYER ASSEMBLY AND METHOD FOR PRODUCING A LAYER ASSEMBLY

(54) Bezeichnung: SCHICHT-ANORDNUNG UND VERFAHREN ZUM HERSTELLEN EINER SCHICHT-ANORDNUNG



(57) **Abstract:** The invention relates to a layer assembly and to a method for producing a layer assembly. This layer assembly comprises a layer that is placed on a substrate. Said layer comprises a first partial region, which is made of a decomposable material, and an adjacent second partial region with a useful structure made of a non-decomposable material. The layer assembly also has a top layer which is arranged on the layer made of a decomposable material and the useful structure. The layer assembly is designed so that the decomposable material can be removed from the layer assembly.

(57) **Zusammenfassung:** Die Erfindung betrifft eine Schicht-Anordnung und ein Verfahren zum Herstellen einer Schicht-Anordnung. Die Schicht-Anordnung hat eine auf einem Substrat angeordnete Schicht, die einen ersten Teilbereich aus zersetzbarem Material und einen daneben angeordneten zweiten Teilbereich mit einer Nutzstruktur aus einem nicht-zersetzbaren Material aufweist. Ferner hat die Schicht-Anordnung eine Deckschicht auf der Schicht aus zersetzbarem Material und der Nutzstruktur, wobei die Schicht-Anordnung derart eingerichtet ist, dass das zersetzbare Material aus der Schicht-Anordnung entfernbar ist.

WO 2004/001842 A2

Beschreibung**Schicht-Anordnung und Verfahren zum Herstellen einer Schicht-Anordnung**

5

Die Erfindung betrifft eine Schicht-Anordnung und ein Verfahren zum Herstellen einer Schicht-Anordnung.

10 In der Halbleitertechnologie, insbesondere beim Ausbilden von integrierten Schaltkreisen, werden für viele Anwendungen elektrisch isolierende Schichten benötigt. Werden Isolationsschichten in einem integrierten Schaltkreis ausgebildet, in dem auch elektrisch leitfähige Bereiche, insbesondere Leiterbahnen, enthalten sind, so kann sich eine

15 Koppelkapazität zwischen benachbarten Leiterbahnen und einer dazwischen angeordneten dielektrischen Schicht ergeben. Die Kapazität zweier paralleler Leiterbahnen, deren aneinandergrenzende Flächen, die mit A bezeichnet und in einem Abstand d voneinander angeordnet sind, ergibt sich bei

20 einer relativen Dielektrizitätskonstante ϵ des Dielektrikums zu:

$$C = \epsilon A / d \quad (1)$$

25 Mit fortschreitender Miniaturisierung der Silizium-Mikroelektronik, das heißt mit abnehmendem Abstand d zwischen benachbarten Leiterbahnen, ergibt sich besonders dann eine große Koppelkapazität C, wenn die aneinandergrenzenden Flächen A der Leiterbahnen groß sind, das heißt wenn die

30 Leiterbahnen über einen großen Längenbereich in dem integrierten Schaltkreis hinweg parallel zueinander verlaufen.

Probleme mit Koppelkapazitäten nehmen mit fortschreitender Verkleinerung eines integrierten Schaltkreises zu. Die Laufzeit eines Signals in einer Leiterbahn nimmt mit zunehmender Koppelkapazität zu, weil diese Laufzeit durch das Produkt von ohmschen Widerstand R und Kapazität C bestimmt ist (sogenannte "RC-Verzögerung").

Wie aus Gleichung (1) ersichtlich, ist bei festgelegten Strukturdimensionen A , d eine Verringerung einer Koppelkapazität C möglich, wenn die relative Dielektrizitätskonstante ϵ des isolierenden Materials verringert wird. Daher wird versucht, als Materialien für Isolationsschichten in integrierten Schaltkreisen solche mit einer geringen relativen Dielektrizitätskonstante ϵ zu verwenden (sogenannte "low k-Materialien").

Als Dielektrikum zum elektrischen Entkoppeln von metallischen Leiterbahnen voneinander wird häufig amorphes Siliziumdioxid (SiO_2) mit einer relativen Dielektrizitätskonstante von ungefähr 4.0 verwendet.

Die Leistungsfähigkeit von fortschrittlichen Halbleiterchips ($0.18\mu\text{m}$ Technologie und kleiner) wird immer gravierender durch die RC-Verzögerung der Leiterbahnen verschlechtert. Daher ist Siliziumdioxid als dielektrisches Material für zukünftige Hochleistungsanforderungen nicht mehr geeignet.

Ab der $0.13\mu\text{m}$ -Technologiegeneration werden zunehmend low-k-Dielektrika mit Dielektrizitätskonstanten von typischerweise kleiner als 3 eingesetzt. Beispiele hierfür sind SiLK^{TM} mit $k \approx 2.7$, OxD (Oxazol-Dielektrikum) mit $k \approx 2.5$, $\text{Black Diamond}^{\text{TM}}$ mit $k \approx 2.9$, Coral^{TM} mit $k \approx 2.9$.

Eine weitere Senkung des Werts der relativen Dielektrizitätskonstante von elektrisch isolierenden Schichten ist mittels Einbringens von Hohlräumen in "low-k-Material" möglich, da ein (Vakuum-)Hohlraum im Idealfall einen k-Wert von $k=1$ hat. Abhängig von dem Volumenanteil der Hohlräume oder Poren wird der k-Wert des porösen Materials verringert. Für zukünftige Technologiegenerationen werden zunehmend poröse Materialien eingesetzt wie beispielsweise poröses SiLK mit $k \approx 2.2$, poröses OxD mit $k \approx 2.1$, Nanoglass mit $k \approx 2.2$ oder JSR-LKD (low k-Dielektrikum der Firma JSR) mit $k \approx 2.2$.

Auch poröse Low-k Materialien sind noch weit vom theoretischen Optimum $k=1$ (Vakuum bzw. näherungsweise Luft) entfernt.

Aus [1], [2] ist es bekannt, sogenannte "Air-Gaps", das heißt von Festkörpermateriale freie Zwischenbereiche zwischen Leiterbahnen, als Intermetall-Dielektrikum einzusetzen. Allerdings hat diese bekannte Struktur insbesondere den Nachteil, dass sie auf der nichtkonformen Abscheidung von Siliziumdioxid bzw. eines CVD ("Chemical Vapour Deposition")-low-k-Materials (SiOC) beruht. Dadurch können zwar Air-Gaps ausgebildet werden, allerdings bleibt das Siliziumdioxid bzw. SiOC teilweise erhalten, so dass die erzielbare effektive Dielektrizitätskonstante lediglich unwesentlich unter dem Wert $k=2$ liegt.

[3] offenbart eine Kupfer-/Luftloch-Struktur, die unter Verwendung eines Opferpolymers und einer Siliziumoxid-Schicht hergestellt ist.

[4] offenbart ein Verfahren zum Herstellen eines Halbleiterbauelements, bei dem oberhalb von auf einem Substrat gebildeten Leiterbahnen eine mit Löchern versehene Schicht gebildet wird, wobei zwischen den Leiterbahnen befindliches Material durch die Löcher abgeführt wird.

[5] offenbart eine Schicht-Anordnung mit Leiterbahnen auf einem Substrat und einer porösen Schicht auf den Leiterbahnen, wobei Material einer Opferstruktur zwischen den Leiterbahnen verdampft und durch die poröse Schicht hindurch abgeführt wird.

[6] offenbart einen integrierten Schaltkreis mit Luftlöchern zwischen dielektrischen und elektrisch leitfähigen Leitungen.

Der Erfindung liegt das Problem zugrunde, eine Schicht-Anordnung bereitzustellen, bei der eine parasitäre Kapazität von Komponenten einer Nutzstruktur gegenüber dem Stand der Technik verringert ist.

Das Problem wird durch eine Schicht-Anordnung und durch ein Verfahren zum Herstellen einer Schicht-Anordnung mit den Merkmalen gemäß den unabhängigen Patentansprüchen gelöst.

Die erfindungsgemäße Schicht-Anordnung enthält eine auf einem Substrat angeordnete Schicht, die einen ersten Teilbereich aus zersetzbarem Material und einem daneben angeordneten zweiten Teilbereich mit einer Nutzstruktur aus einem nicht-zersetzbaaren Material aufweist. Ferner hat die Schicht-Anordnung eine Deckschicht auf der Schicht aus zersetzbarem Material und der Nutzstruktur. Die Schicht-Anordnung ist derart eingerichtet, dass das zersetzbare Material aus der Schicht-Anordnung entfernbar ist.

Ferner ist erfindungsgemäß ein Verfahren zum Herstellen einer Schicht-Anordnung bereitgestellt, bei dem auf einem Substrat eine Schicht ausgebildet wird, die einen ersten Teilbereich aus zersetzbarem Material und einem daneben angeordneten zweiten Teilbereich aus einer Nutzstruktur aus einem nicht-zersetzba-
5 ren Material aufweist. Ferner wird eine Deckschicht auf der Schicht aus zersetzbarem Material und der Nutzstruktur ausgebildet. Die Schicht-Anordnung ist derart eingerichtet, dass das zersetzbare Material aus der Schicht-Anordnung entfernbar ist.
10

Anschaulich ist erfindungsgemäß eine Schicht-Anordnung mit einer zwischen zwei Schichten eingebetteten Schicht
15 geschaffen, die zersetzbares Material und eine Nutzstruktur aufweist. Die Nutzstruktur kann beispielsweise Leiterbahnen eines integrierten Schaltkreises aufweisen. Zwischen Leiterbahnen der Nutzstruktur können parasitäre Kapazitäten auftreten, die gemäß Gleichung (1) umso größer sind, je
20 größer die relative Dielektrizitätskonstante des zwischen den Leiterbahnen angeordneten zersetzba- ren Materials ist. Das zersetzbare Material in Kombination mit der Deckschicht ist erfindungsgemäß derart eingerichtet, dass mittels geeigneter Behandlung der Schicht-Anordnung (beispielsweise mittels
25 temporären Temperns) das zersetzbare Material thermisch zersetzt bzw. verdampft werden kann. Dadurch wird das zersetzbare Material aus der Schicht-Anordnung entfernt, indem es vorzugsweise durch die Deckschicht hindurchdiffundiert. Nach einer solchen Behandlung sind
30 Bereiche zwischen Komponenten der Nutzstruktur von nunmehr zersetztem zersetzba- rem Material frei, so dass im Idealfall eine relative Dielektrizitätskonstante von $\epsilon=1$ erhalten wird. Dadurch ist die RC-Verzögerung maßgeblich verringert, da die

Kapazität C gemäß Gleichung (1) herabgesetzt ist. Auf diese Weise ist es möglich, benachbarte Leiterbahnen bei einer gleichbleibenden Signallaufzeit mit verringertem Abstand zueinander anzuordnen, was der Tendenz zur Miniaturisierung in der Halbleiter-Technologie entgegenkommt. Die parasitäre kapazitive Kopplung zwischen Leiterbahnen, insbesondere in Metallisierungsebenen eines integrierten Schaltkreises, ist daher erfindungsgemäß verringert. Ein aufwändiges Ausbilden von Poren bzw. ein aufwändiges Strukturieren einer dielektrischen Schicht zum Erzeugen von Hohlräumen, ist somit erfindungsgemäß vermieden.

Anschaulich ist zwischen den Leiterbahnen einer Metallisierungsebene angeordnetes dielektrisches Material entferntbar. Die Leiterbahnen sind in vertikaler Richtung beiderseits durch eine Schicht (Deckschicht bzw. Substrat) mechanisch stabilisiert. Idealerweise ist zumindest die Deckschicht aus einem für die Zersetzungsprodukte der dazwischen angeordneten Schicht durchlässigen Material, das vorzugsweise selbst ein Low-k Material ist.

Bevorzugte Weiterbildungen der Erfindung ergeben sich aus den abhängigen Ansprüchen.

Vorzugsweise kann die Schicht-Anordnung eine Zwischenschicht zwischen dem Substrat und der Schicht aus zersetzbarem Material und der Nutzstruktur aufweisen. Die Zwischenschicht kann aus Low-k Material sein und/oder kann derart eingerichtet sein, dass das Material der Nutzstruktur aufgrund der Funktionalität der Zwischenschicht vor einem Ausdiffundieren aus der Schicht-Anordnung geschützt ist.

Das Substrat kann vorzugsweise Silizium aufweisen und kann insbesondere ein Silizium-Wafer oder ein Silizium-Chip sein. Dadurch kann das Prozessieren der Schicht-Anordnung in die Standardprozesse der Silizium-Mikroelektronik eingebunden werden.

Die Deckschicht und/oder die Zwischenschicht kann aus dielektrischem Material hergestellt sein. Insbesondere kann die Deckschicht und/oder die Zwischenschicht Siliziumoxid, Siliziumnitrid, SiLK, poröses SiLK, Oxazol, poröses Oxazol, Black Diamond, Coral, Nanoglass, JSR LKD, Polybenzoxazole, Polybenzimidazole, Polyimide, Polychinoline, Polychinoxaline, Polyarylene und/oder Polyarylenether aufweisen.

Die Deckschicht der Schicht-Anordnung ist vorzugsweise derart eingerichtet, dass sie für zersetztes zersetzbares Material durchlässig ist. Weiter vorzugsweise ist die Deckschicht derart eingerichtet, dass sie vor einer Zerstörung oder Schädigung bei Durchführung eines Zersetzungsverfahrens geschützt ist. Insbesondere soll die Deckschicht vor einem thermischen Zersetzen oder einer thermischen Schädigung bei Erhitzen auf einem Temperaturbereich von ca. 250°C bis ca. 400°C geschützt sein. Dieser Temperaturbereich ist typisch für ein thermisches Zersetzverfahren zum Zersetzen des zersetzbaren Materials. Die genaue Zersetzungstemperatur ist jedoch von der Materialwahl im Einzelfall abhängig.

Die Nutzstruktur kann aus einem elektrisch leitfähigen Material, insbesondere aus Aluminium und/oder Kupfer und/oder einem dielektrischen Material wie Siliziumdioxid (SiO_2), Siliziumnitrid (Si_3N_4) oder keramischen Materialien hergestellt sein. Insbesondere Kupfer ist als Material für Leiterbahnen eines integrierten Schaltkreises geeignet, da es

einen sehr geringen ohmschen Widerstand aufweist, wodurch die RC-Verzögerung gering gehalten werden kann. Aluminium ist sowohl planar abscheidbar und anschließend strukturierbar als auch unter Verwendung eines Damascene-Verfahrens

5 prozessierbar. Bei Verwendung von Kupfer als Material der Nutzstruktur ist es vorteilhaft, eine Kupfer-Struktur auszubilden, indem zunächst eine dielektrische Schicht abgeschieden und strukturiert wird und dann unter Verwendung des Damascene-Verfahrens Kupfer-Material in von Dielektrikum-
10 Material freie Bereichen einzubringen. Eine solche Schichtenfolge kann vorzugsweise unter Verwendung eines CMP-Verfahrens ("chemical mechanical polishing") planarisiert werden. Es ist zu betonen, dass im Falle einer Nutzstruktur aus einem elektrisch isolierenden bzw. dielektrischen
15 Material eine elektrisch leitfähige Passivierungsschicht zumindest zwischen der Nutzstruktur und der Deckschicht entbehrlich ist.

Vorzugsweise ist das zersetzbare Material thermisch
20 zersetzbar, das heißt mittels Erhitzens auf eine vorgegebene Temperatur für eine vorgegebene Zeit in einem vorgegebenen chemischen Milieu (beispielsweise unter Schutzgasatmosphäre mit Argon, Stickstoff oder im Vakuum) aus der Schicht-Anordnung entfernbar. Die erforderliche Zersetzt-Temperatur
25 ist vor allem von der Wahl des Materials der thermisch zersetzbaren Schicht abhängig. Ferner kann die Zersetzt-Temperatur mittels Verwendens einer Mischung aus unterschiedlichen Materialkomponenten für die thermisch zersetzbare Struktur modifiziert werden. Auch mittels
30 Einstellens der sonstigen Prozessparameter bei einem thermischen Zersetzen (z.B. Umgebungsdruck, etc.) kann Einfluss auf die erforderliche Zersetzttemperatur genommen werden.

Das zersetzbare Material kann alternativ auf eine andere Weise als thermisch zersetzbar sein. Hat das zersetzbare Material beispielsweise die Eigenschaft, elektromagnetische Strahlung eines geeigneten Wellenlängenbereichs (z.B. UV-Strahlung) ausreichend stark zu absorbieren, und ist die Absorption solcher elektromagnetischer Strahlung durch die Deckschicht ausreichend gering, so kann das Zersetzen der zersetzbaren Schicht mittels Einstrahlens elektromagnetischer Strahlung auf die erfindungsgemäße Schicht-Anordnung realisiert werden.

Geeignete Materialien bzw. Materialklassen für das zersetzbare Material sind beispielsweise Polyester, (vorwiegend aliphatische) Polyether wie Polyethylenglykol, Polypropylenglykol, Polyethylenoxid oder Polypropylenoxid. Ferner sind geeignet Polyacrylate, Polymethacrylate, Polyacetale, Polyketale, Polycarbonate, Polyurethane, Polyetherketone, cycloaliphatische Polymere wie Polynorbornen, vorwiegend aliphatische Polyamide, Novolake, Polyvinylphenole und Epoxy-Verbindungen. Geeignet sind auch Co- bzw. Ter-Polymere der hier genannten Materialklassen.

Vorzugsweise ist das zersetzbare Material photosensitiv bzw. photostrukturierbar, wie beispielsweise ein Resist.

Insbesondere kann ein photostrukturierbarer Resist eine der folgenden Kombinationen aus einem Basispolymer und einer photoaktiven Komponente bzw. Photosäure sein.

30

Als Polymer kann verwendet werden: Polyacrylate, Polymethacrylate, Polyacetale, Polyketale, Co-Polymere mit Maleinanhidrid (wie Styrol/Maleinanhidrid), aliphatische,

aromatische oder cycloaliphatische Polymere mit tert-Butylester $[(\text{COOC}(\text{CH}_3)_3]$ wie tert-Butylmethacrylat oder mit tert-Butoxycarbonyloxy-Gruppen $[(\text{OCOO}(\text{CH}_3)_3]$ wie tert-Butoxycarbonyloxystyrol (=t-BOC Vinylphenol).

5

Als photoaktive Komponenten eignen sich beispielsweise Diazoketone, Diazochinone, Triphenylsulfoniumsalze oder Diphenyljodoniumsalze.

10 Als Lösungsmittel für dielektrische Materialien, Resist bzw. das temporär verwendete zersetzbare Material eignen sich zum Beispiel Methoxypropylacetat, Ethoxypropylacetat, Ethoxyethylpropionat, N-Methylpyrrolidon, gamma-Butyrolacton, Cyclohexanon oder Cyclopentanon.

15

Bei der erfindungsgemäßen Schicht-Anordnung ist vorzugsweise in der zwischen dem Substrat und der Deckschicht angeordneten Schicht mindestens eine Stützstruktur ausgebildet. Zur Verbesserung der mechanischen Eigenschaften kann es
20 vorteilhaft sein, eine solche Stützstruktur, vorzugsweise aus metallischem Material, dort einzusetzen, wo es vom Chip-Layout her ausreichend große materialfreie Bereiche gibt. Die Stützstruktur kann beispielsweise als Stützsäule ausgebildet sein. Insbesondere unter den Bond-Pads sind Stützsäulen zum
25 mechanischen Stabilisieren vorteilhaft.

Ferner kann die Schicht-Anordnung eine im Wesentlichen entlang der seitlichen Begrenzung des Substrats verlaufende Schutzstruktur zum Schutz der Nutzstruktur vor Einflüssen der
30 Umgebung aufweisen. Anschaulich kann am Chiprand ein rundum undurchlässiger Schutzring (Dichtring) aus vorzugsweise mindestens $2\mu\text{m}$ breiten Metallbahnen und vorzugsweise mehrfachen, ebenfalls ununterbrochenen Lang-Vias ausgeführt

werden, um eine vom Chiprand ausgehende Korrosion oder Oxidation der als Leiterbahnen realisierten Nutzstruktur im Chipinneren zu vermeiden.

- 5 Die Nutzstruktur kann zumindest teilweise von einer Passivierungsschicht umgeben sein ("Liner"). Insbesondere bei der Verwendung von Kupfer als Material für die Nutzstruktur ist eine Diffusionssperre zum Verhindern des Ausdiffundierens des Kupfer-Materials bzw. zum Verbessern der Haftung des
10 Kupfer-Materials vorteilhaft.

Im Weiteren wird das erfindungsgemäße Verfahren zum Herstellen der Schicht-Anordnung näher beschrieben. Ausgestaltungen der Schicht-Anordnung gelten auch für das
15 Verfahren zum Herstellen der Schicht-Anordnung.

Vorzugsweise wird das zersetzbare Material aus der Schicht-Anordnung entfernt, beispielsweise mittels thermischen Zersetzens.

20

- Gemäß dem Verfahren zum Herstellen einer Schicht-Anordnung kann die Nutzstruktur aus Kupfer ausgebildet werden und zumindest teilweise mit einer Passivierungsschicht ummantelt werden, welche Passivierungsschicht mittels eines
25 (vorzugsweise selektiven) Elektrolosen Abscheide-Verfahrens aus Kobalt-Wolfram-Phosphor (CoWP), Kobalt-Wolfram-Bor (CoWB), Kobalt-Phosphor (CoP) oder Ruthenium (Ru) ausgebildet werden. Alternativ kann die Passivierungsschicht mittels eines (vorzugsweise selektiven) "Chemical Vapour Deposition"-
30 Verfahrens (CVD-Verfahren) aus Tantal (Ta), Tantalnitrid (TaN), Titannitrid (TiN), Wolfram (W), Wolfram-Stickstoff (WN) oder Wolfram-Kohlenstoff (WC) ausgebildet werden.

Die Schicht aus zersetzbarem Material und der Nutzstruktur kann ausgebildet werden, indem zersetzbares Material abgeschieden und (z.B. unter Verwendung eines Lithographie- und eines Ätz-Verfahrens) strukturiert wird, Material der Nutzstruktur abgeschieden wird und die Oberfläche der so erhaltenen Schichtenfolge (beispielsweise unter Verwendung eines CMP-Verfahrens, "chemical mechanical polishing") planarisiert wird. Dieses Verfahren ist insbesondere bei Verwendung von Kupfer als Material für die Nutzstruktur vorteilhaft.

Alternativ kann die Schicht aus zersetzbarem Material und der Nutzstruktur ausgebildet werden, indem Material der Nutzstruktur abgeschieden und strukturiert wird (z.B. unter Verwendung eines Lithographie- und eines Ätz-Verfahrens) und zersetzbares Material abgeschieden wird. Bei Verwendung eines metallischen Materials für die Nutzstruktur, beispielsweise Aluminium oder Kupfer, wird dieses Verfahren zum Ausbilden der Nutzstruktur als Damascene-Verfahren bezeichnet. Die Oberfläche der so erhaltenen Schichtenfolge kann dann planarisiert werden (z.B. unter Verwendung eines CMP-Verfahrens).

Gemäß dem erfindungsgemäßen Verfahren kann mindestens ein zusätzlicher Schichtenstapel auf der Deckschicht ausgebildet werden, wobei der zusätzliche Schichtenstapel eine zusätzliche Deckschicht auf einer zusätzlichen Schicht aus zersetzbarem Material und einer Nutzstruktur aufweist.

Anschaulich können zwei oder mehr Ebenen der erfindungsgemäßen Schicht-Anordnung aufeinander ausgebildet werden. Die Schicht-Anordnung enthält in diesem Fall ein Substrat, eine darauf angeordnete erste Schicht aus

Nutzstruktur und thermisch zersetzbarem Material, eine darauf ausgebildete ersten Deckschicht, eine darauf ausgebildete zweite Schicht aus Nutzstruktur und zersetzbarem Material, eine darauf ausgebildete zweite Deckschicht, eine darauf
5 ausgebildeten dritte Schicht aus Nutzstruktur und zersetzbarem Material, eine dritte Deckschicht, und so weiter.

Mit anderen Worten kann eine Vielzahl erfindungsgemäßer
10 Schicht-Anordnungen übereinander gestapelt werden, was insbesondere beim Ausbilden von mehreren Metallisierungs-Ebenen in der Silizium-Mikroelektronik vorteilhaft ist (typischerweise bis zu zehn Metallisierungsebenen). Um das zersetzbare Material aus der Schicht-Anordnung mit möglichst
15 wenig Arbeitsschritten zu entfernen, kann nach Ausbilden aller Schichten oder eines Teils der Schichten ein gemeinsames Zersetzungsverfahren (z.B. thermisch) angewendet werden. Um ein besonders sicheres und vollständiges Entfernen des zersetzbaren Materials auf der Schicht-Anordnung zu
20 gewährleisten, kann alternativ nach dem Ausbilden jeweils einer Doppelschicht aus einer Schicht aus Nutzstruktur und zersetzbarem Material und einer Deckschicht diese Doppelschicht einem Zersetzungsverfahren unterzogen werden. Mit anderen Worten wird jede Doppelschicht einem separaten
25 Zersetzungsverfahren ausgesetzt werden.

Vorzugsweise können durch eine Deckschicht voneinander getrennte Nutzstrukturen miteinander elektrisch bzw. mechanisch gekoppelt werden, indem in die Deckschicht
30 mindestens ein Kontaktloch eingebracht und mit elektrisch leitfähigem Material gefüllt wird.

Im Weiteren werden einige typische Werte und Materialien aufgelistet. Die Dicke der Zwischenschicht beträgt vorzugsweise zwischen 100nm und 1000nm. Bevorzugte Schichtdicken für die Schicht aus zersetzbarem Material und der Nutzstruktur sind zwischen ungefähr 100nm und ungefähr 1000nm. Eine typische Dicke für einen Photoresist zum Strukturieren einer darunterliegenden Schicht liegt vorzugsweise zwischen 200nm und 1000nm. Zusätzlich kann eine Anti-Reflexschicht vorgesehen sein (beispielsweise BARC, "Bottom Anti Reflective Coating").

Für Lithographie-Verfahren während des Ausbildens der erfindungsgemäßen Schicht-Anordnung können beispielsweise die Wellenlängen 248nm, 193nm, 157nm bzw. eine Wellenlänge im extremen Ultraviolett (EUV-Lithographie, "extreme ultra violet") verwendet werden.

Zusammenfassend ist festzustellen, dass mittels eines thermisch-zersetzbaren bzw. verdampfbaren Materials, das während des Zersetzens problemlos durch die Deckschicht hindurchdiffundieren kann, eine neuartige Möglichkeit geschaffen ist, nach außen hin mechanisch abgeschlossene Hohlraumstrukturen, insbesondere als Low-k Dielektrika, auszubilden. Insbesondere zwischen Leiterbahnen eines integrierten Schaltkreises können "Air-Gaps" erzeugt werden, indem das zersetzbare Material zersetzt wird. Dadurch kann eine deutliche Verringerung der kapazitiven Kopplung der Leiterbahnen und somit der RC-Signalverzögerung erreicht werden.

30

Ferner ist ein einfaches und mit Standardverfahren realisierbares Herstellungsverfahren für die erfindungsgemäße Schicht-Anordnung bereitgestellt. Auch ist die Erfindung im

Rahmen einer Mehrlagen-Metallisierung, beispielsweise für eine Mehrzahl von Metallisierungsebenen eines integrierten Schaltkreises, verwendbar. Mechanische Stützstrukturen sowie ein Schutzring, vorzugsweise am Chiprand, erhöhen die mechanische Stabilität der Schicht-Anordnung.

Ausführungsbeispiele der Erfindung sind in den Figuren dargestellt und werden im Weiteren näher erläutert.

Es zeigen:

Figuren 1A bis 1R Schichtenfolgen zu unterschiedlichen Zeitpunkten während erfindungsgemäßen Herstellungsverfahren einer erfindungsgemäßen Schicht-Anordnung gemäß unterschiedlichen Ausführungsbeispielen der Erfindung.

Im Weiteren wird bezugnehmend auf Fig.1A bis Fig.1H ein Verfahren zum Herstellen einer Schicht-Anordnung gemäß einem ersten Ausführungsbeispiel der Erfindung beschrieben.

Um die in Fig.1B gezeigte Schichtenfolge 102 zu erhalten, wird auf einem Silizium-Wafer 100 (vgl. Fig.1A) eine Bodenschicht 104 aus Polybenzoxazol ausgebildet. Hierzu wird zunächst eine Polybenzoxazol-Vorstufe (Poly-o-hydroxyamid) aus einer Lösung in N-Methylpyrrolidon mittels Schleudertechnik auf dem Silizium-Wafer 100 aufgetragen und auf einer Heizplatte für ungefähr zwei Minuten bei ungefähr 120°C getrocknet. Danach wird das beschichtete Silizium-Substrat 100 in einem Temper-Ofen unter Stickstoff-Atmosphäre ungefähr 60 Minuten bei ungefähr 420°C getempert. Aufgrund des Temperns wird die Polybenzoxazol-Vorstufe in

Polybenzoxazol-Material überführt. Die Dicke der dielektrischen Bodenschicht 104 beträgt $1\mu\text{m}$.

Um die in Fig.1C gezeigte Schichtenfolge 106 zu erhalten,
5 wird eine Hilfsschicht 108 aus Photoresist auf die Schichtenfolge 102 aufgebracht. Dazu wird ein zersetzbarer und photoaktiver Film aus einem Co-Polymer aus tert-Butylmethacrylat und Methylmethacrylat (20 Gewichtsteile), einer Photosäure aus Triphenylsulfonium-
10 trifluormethansulfonat und Methoxypropylacetat als Lösungsmittel (80 Gewichtsteile) unter Verwendung einer Schleudertechnik auf die Bodenschicht 104 aufgebracht und ungefähr 1 Minute bei ungefähr 100°C getrocknet.

15 Um die in Fig.1D gezeigte Schichtenfolge 110 zu erhalten, wird die Resist-Hilfsschicht 108 unter Verwendung einer Photomaske (Steg-Graben-Maske für die Leiterbahnen) belichtet (Belichtungs-Wellenlänge 248nm) und 100 Sekunden auf einer Heizplatte auf 100°C erwärmt (sogenanntes "post exposure
20 bake"), mit einem wässrig-alkalischen Entwickler NMD-W von Tokya Ohka ungefähr 60 Sekunden entwickelt und 1 Minute bei 100°C getrocknet. Dadurch entsteht auf der Hilfsschicht 108 eine zersetzbare Struktur 112 aus zersetzbarem Material. Die gemäß Fig.1D vertikale Höhe der zersetzbaren Struktur 112
25 beträgt ungefähr $1\mu\text{m}$.

Um die in Fig.1E gezeigte Schichtenfolge 114 zu erhalten, wird unter Verwendung des PECVD-Verfahrens ("plasma enhanced chemical vapour deposition") die Schichtenfolge 110 mit einer
30 dünnen Schichtkombination von Liner (Tantal-Material, 30nm) und einer Kupfer-Keimschicht (ungefähr 100nm) beschichtet. Alternativ kann auch zum Aufbringen dieser Schichten ein PVD-Verfahren ("Physical Vapour Deposition"), d.h. ein Sputter-

Verfahren, eingesetzt werden. Die Kupfer-Keimschicht wird anschließend galvanisch derartig verstärkt, dass alle Gräbenbereiche zwischen jeweils benachbarten Komponenten der zersetzbaren Struktur 112 mit Kupfer-Material gefüllt sind.

5 Wie in Fig.1E gezeigt, ist die gemäß Fig.1E vertikale Höhe des Kupfer-Materials 116 größer als die vertikale Höhe der zersetzbaren Struktur 112.

Um die in Fig.1F gezeigte Schichtenfolge 118 zu erhalten,
10 wird das Kupfer-Material 116 unter Verwendung des CMP-Verfahrens ("chemical mechanical polishing") soweit abpoliert, dass es an der Oberfläche eine gemeinsame ebene Fläche mit der zersetzbaren Struktur 112 bildet. Mit anderen Worten ist das Kupfer-Material oberhalb der zersetzbaren
15 Struktur 112 abgeschliffen. Zur Passivierung der Kupferoberfläche wird eine selektiv und unter Verwendung eines Electroless-Deposition-Verfahrens abgeschiedene Kobalt-Wolfram-Phosphor-Schicht aufgebracht (nicht gezeigt in der Figur). Das verbleibende Kupfer-Material bildet die Kupfer-
20 Leiterbahnen 120.

Um die in Fig.1G gezeigte Schichtenfolge 122 zu erhalten, wird auf die Schichtenfolge 120 (analog wie oben beschrieben) eine weitere Polybenzoxazol-Vorstufe aufgetragen und
25 getrocknet. Dadurch wird eine dielektrische Deckschicht 124 aus Polybenzoxazol ausgebildet.

Um die in Fig.1H gezeigt Schicht-Anordnung 126 gemäß einem ersten bevorzugten Ausführungsbeispiel der Erfindung zu
30 erhalten, wird die Schichtenfolge 122 einem Temper-Verfahren unterzogen. Während des Temperns des Benzoxazol-Dielektrikums bei 420°C wird die darunter liegende zersetzbare Struktur 112 aus Resist-Material zersetzt, so dass Hohlräume 128

zurückbleiben. In diesem Verfahrensschritt ist die dielektrische Deckschicht 124 vor einer Beschädigung geschützt, da das zersetzte Material der zersetzbaren Struktur 112 durch die Deckschicht 124 hindurchdiffundiert.

5 Da die Hohlräume 128 eine relative Dielektrizitätskonstante von näherungsweise eins aufweisen, bilden die Kupfer-Leiterbahnen 120 miteinander eine verringerte Koppelkapazität.

10 Im Weiteren wird ein zweites bevorzugtes Ausführungsbeispiel der erfindungsgemäßen Schicht-Anordnung beschrieben.

Hierfür wird ausgehend von der in Fig.1H gezeigten Schicht-Anordnung 126 analog den beziehend auf Fig.1A bis Fig.1H
15 beschriebenen Verfahrensschritten auf die Deckschicht 124 eine weitere Schicht aus zersetzbarem Material und daneben angeordneten Bereichen mit zersetzbarem Material ausgebildet (nicht gezeigt in der Figur). Über der zuletzt genannten Schicht wird eine weitere dielektrische Deckschicht
20 ausgebildet, so dass zwei Leiterbahn-Ebenen übereinander realisiert sind. Jede Leiterbahn-Ebene ist in vertikaler Richtung beidseitig von jeweils einer dielektrischen Schicht umgeben. Das Verfahren ist nicht auf zwei Lagen beschränkt, sondern es können beliebig viele Lagen aufeinander
25 ausgebildet und prozessiert werden.

Im Weiteren wird beziehend auf Fig.1I eine Schicht-Anordnung 130 gemäß einem dritten Ausführungsbeispiel der Erfindung beschrieben.

30

Das Herstellungsverfahren zum Ausbilden der Schicht-Anordnung 130 erfolgt weitgehend analog wie oben beziehend auf Fig.1A bis Fig.1H beschrieben. Der wesentliche Unterschied

zwischen dem Verfahren zum Herstellen der Schicht-Anordnung 130 und dem Verfahren zum Herstellen der Schicht-Anordnung 126 besteht darin, dass bei dem bezugnehmend auf Fig.1D beschriebenen Verfahrensschritt zum Strukturieren der

5 Hilfsschicht 108 zu der zersetzbaren Struktur 112 die Strukturierung derart durchgeführt wird, dass die in Fig.1D gezeigte Komponente 112a der zersetzbaren Struktur 112 zusätzlich derart strukturiert wird, dass Komponente 112a in zwei voneinander räumlich entkoppelte Teilkomponenten
10 aufgeteilt ist, zwischen denen ein weiterer Hohlraum angeordnet ist. Der weitere Hohlraum wird bei einem, zu dem bezugnehmend Fig.1E beschriebenen Verfahrensschritt, analogen Verfahrensschritt mit Kupfer-Material gefüllt, so dass bei zu Fig.1F bis Fig.1H analoger Prozessierung die in Fig.1I
15 gezeigte Schicht-Anordnung 130 erhalten wird. Diese weist zusätzlich eine Kupfer-Stützsäule 132 auf, die vorgesehen ist, um die mechanische Stabilität der Schicht-Anordnung 130 zu verbessern.

20 Im Weiteren wird bezugnehmend auf Fig.1A bis Fig.1H, Fig.1J Fig.1N ein Verfahren zum Herstellen einer Schicht-Anordnung gemäß einem vierten Ausführungsbeispiel der Erfindung beschrieben.

25 Gemäß dem vierten Ausführungsbeispiel des erfindungsgemäßen Herstellungsverfahrens werden zunächst die oben bezugnehmend auf Fig.1A bis Fig.1H gezeigten Verfahrensschritte durchgeführt.

30 Um die in Fig.1J gezeigte Schichtenfolge 134 zu erhalten, wird auf der in Fig.1H gezeigten Schichtenfolge eine Photoresist-Schicht 136 aufgebracht und strukturiert. Das Aufbringen der Photoresist-Schicht 136 erfolgt analog wie

oben bezugnehmend auf Fig.1C das Abscheiden der Hilfsschicht 108 beschrieben ist. Ferner wird die Photoresist-Schicht 136 mit einer Kontaktloch-Maske belichtet. Nach einem "post exposure bake" und der Entwicklung entsteht ein Kontaktloch 5 138, das sich direkt über einer der Kupfer-Leiterbahnen 120 befindet. Wie in Fig.1J ferner gezeigt, ist die restliche Fläche der Deckschicht 124 mit der Photoresist-Schicht 136 bedeckt.

10 Um die in Fig.1K gezeigte Schichtenfolge 140 zu erhalten, wird das dielektrische Material der Deckschicht 124 in dem Kontaktloch 138 mittels eines Sauerstoff-Plasmas für 100 Sekunden geätzt, wodurch die Oberfläche einer der Kupfer-Leiterbahnen 120 freigelegt wird. Dadurch entsteht ein Via-15 Loch 142. Zum Entfernen einer möglicherweise auf der Oberfläche dieser Kupfer-Leiterbahn 120 befindlichen Oxidschicht wird weitere 20 Sekunden mittels eines Argon-Plasmas geätzt.

20 Um die in Fig.1L gezeigte Schichtenfolge 144 zu erhalten, wird die verbleibende Photoresist-Schicht 136 mittels einer zweiminütigen Behandlung mit N-Methylpyrrolidon entfernt (gestrippt) und die dadurch erhaltene Schichtenfolge für 60 Sekunden bei 120°C getrocknet.

25

Um die in Fig.1M gezeigte Schichtenfolge 146 zu erhalten, wird das Via-Loch 142 galvanisch mit Kupfer-Material gefüllt, um die Kupfer-Kontaktierung 148 auszubilden.

30 Um die in Fig.1N gezeigte Schicht-Anordnung 150 zu erhalten, wird, wie oben bezugnehmend auf das zweite Ausführungsbeispiel beschrieben, eine weitere Doppelschicht aus einer Schicht mit nebeneinander angeordneten zersetzbarem

Material und zusätzlichen Kupfer-Leiterbahnen 152 sowie einer weiteren Deckschicht 156 ausgebildet. Ferner wird aus der derartig prozessierten zusätzlichen Doppelschicht das zersetzbare Material thermisch ausgetrieben. Wie in Fig.1N
5 gezeigt, werden dadurch zusätzliche Hohlräume 154 ausgebildet.

Im Weiteren wird ein Verfahren zum Herstellen einer Schicht-Anordnung gemäß einem fünften Ausführungsbeispiel der
10 Erfindung beschrieben.

Dieses Ausführungsbeispiel ist eine Modifikation des Verfahrens zum Herstellen der Schicht-Anordnung 126, das bezugnehmend auf die Fig.1A bis Fig.1H beschrieben ist.
15 Abweichend davon wird jedoch anstelle einer Polybenzoxazol-Vorstufe ein Low-k-Material, nämlich das Material SiLK™ (Warenzeichen der Firma Dow Chemical Company) als Material für die Bodenschicht 104 verwendet. Anstelle des gemäß dem ersten Ausführungsbeispiel verwendeten Materials für die
20 Hilfsschicht 108 wird ein Resist mit folgenden Komponenten verwendet: 20 Gewichtsteile Polyvinylphenol, dessen phenolische Hydroxyl-Gruppen mit einer tert-Butoxycarbonyloxy-Gruppierung blockiert sind (Poly-t-BOC-vinylphenol); 1 Gewichtsteil Diphenyljodonium-
25 trifluormethansulfonat als Photosäure; und 80 Gewichtsteile Ethoxyethylacetat als Lösungsmittel. Abgesehen von den alternativ verwendeten Materialien wird eine Schicht-Anordnung erhalten, die im Wesentlichen der in Fig.1H gezeigten Schicht-Anordnung 126 entspricht.

30

Gemäß einem Verfahren zum Herstellen einer Schicht-Anordnung gemäß einem sechsten Ausführungsbeispiel der Erfindung wird eine Schicht-Anordnung ähnlich der Schicht-Anordnung 150

ausgebildet wie oben bezugnehmend auf das vierte Ausführungsbeispiel beschrieben. Allerdings werden gemäß dem sechsten Ausführungsbeispiel als Material für den Photoresist und das Dielektrikum die Komponenten gemäß dem fünften

5 Ausführungsbeispiel verwendet.

Im Weiteren wird bezugnehmend auf Fig.1A bis Fig.1H, Fig.1J bis Fig.1L, Fig.1O bis Fig.1R ein Verfahren zum Herstellen einer Schicht-Anordnung gemäß einem siebten

10 Ausführungsbeispiel der Erfindung beschrieben.

Zunächst wird, wie oben bezugnehmend auf Fig.1A bis Fig.1H, Fig.1J bis Fig.1L beschrieben, die Schichtenfolge 144 ausgebildet.

15

Um die in Fig.1O gezeigte Schichtenfolge 158 zu erhalten, wird eine weitere Photoresist-Schicht 160 aus zersetzbarem und photoaktivem Material aufgeschleudert und getrocknet.

20 Um die in Fig.1P gezeigte Schichtenfolge 162 zu erhalten, wird die weitere Photoresist-Schicht 160 mit einer Leiterbahn-Photomaske belichtet. Die Leiterbahn-Photomaske wird derart gewählt, dass jene Stelle der weiteren Photoresist-Schicht 160 belichtet wird, oberhalb derer zuvor

25 das Via-Loch 142 angeordnet war. Der in dem ursprünglichen Via-Loch 142 befindliche Anteil der weiteren Photoresist-Schicht 160 wird also belichtet und beim anschließenden Entwickeln entfernt. Dadurch entsteht die in Fig.1P gezeigten typischen Dual-Damascene-Struktur, bei der in der Deckschicht
30 124 das Via-Loch 142 und eine Leiterbahn 120 freigelegt sind. Ferner ist aus der strukturierten weiteren Photoresist-Schicht 160 eine weitere zersetzbare Struktur 164 gebildet.

23

Um die in Fig.1Q gezeigte Schichtenfolge 166 zu erhalten, werden, wie oben bezugnehmend auf Fig.1E, Fig.1F beschrieben, weitere Kupfer-Leiterbahnen 166 ausgebildet. Simultan wird das Via-Loch 142 mit Kupfer-Material gefüllt. Mit anderen
5 Worten werden mittels einer Liner- (beispielsweise Tantal) und einer Kupfer-Keimschicht-Abscheidung sowohl das Via-Loch 142 als auch die von der weiteren zersetzbaren Struktur 164 freien Oberflächenbereiche der Schichtenfolge 162 mit Kupfermaterial bedeckt. Überschüssiges Kupfer- und Liner-
10 Material wird unter Verwendung eines CMP-Verfahrens entfernt, wodurch eine planare Oberfläche der Schichtenfolge 166 erreicht wird.

Um die in Fig.1R gezeigte Schicht-Anordnung 170 zu erhalten,
15 wird die in Fig.1Q gezeigte Schichtenfolge 166 analog prozessiert wie oben bezugnehmend auf Fig.1G, Fig.1H beschrieben. Zunächst wird eine weitere Deckschicht 172 auf die Oberfläche der Schichtenfolge 166 aufgebracht. Anschließend wird das verbliebene Photoresist-Material der
20 weiteren zersetzbaren Struktur 164 mittels Temperns entfernt, wodurch weitere Hohlräume 174 ausgebildet werden.

Im Weiteren wird ein Verfahren zum Herstellen einer Schicht-Anordnung gemäß einem achten Ausführungsbeispiel der
25 Erfindung beschrieben.

Auf einem Silizium-Substrat (Wafer) wird eine Polyimid-Vorstufe (Polyamidocarbonsäure), hergestellt aus Diaminodiphenylether und Benzoltetracarbonsäuredianhydrid,
30 aus einer Lösung im N-Methylpyrrolidon mittels einer Schleudertechnik aufgetragen und auf einer Heizplatte für 2 Minuten bei 120°C getrocknet. Anschließend wird das beschichtete Substrat in einem Temper-Ofen unter Stickstoff-

Atmosphäre für ungefähr 60 Minuten bei ungefähr 420°C getempert. Aufgrund des Temperns wird die Polyimid-Vorstufe in Polyimid überführt. Die Schichtdecke dieses als dielektrische Schicht dienenden Polyimid-Films beträgt
5 ungefähr 1µm.

Anschließend wird eine Lösung eines Polyesters (Poly-1,4-butylenglycol-terephthalat) mittels einer Schleudertechnik auf das Dielektrikum aufgebracht und für ungefähr 3 Minuten
10 bei ungefähr 150°C auf einer Heizplatte getrocknet. Die Dicke dieser Schicht beträgt ungefähr 1µm. Auf die Polyester-Schicht wird mittels des CVD-Verfahrens ("Chemical Vapour Deposition") eine ungefähr 200nm dicke Siliziumdioxid-Schicht als Hartmaske für das Strukturieren der zersetzbaren
15 Polyester-Schicht aufgebracht. Die Siliziumdioxid-Schicht wird mit einer Resist-Schicht beschichtet, die aus folgenden Komponenten zusammengesetzt ist: 20 Gewichtsteile m-Kresol-Novolak, 6 Gewichtsteile eines Triesters aus 2,3,4-Trihydroxybenzophenon und Naphthochinon-diazid-4-sulfonsäure,
20 sowie 80 Gewichtsteile Methoxypropylacetat.

Nach dem Trocknen des Resists für 2 Minuten bei 100°C ist dessen Schichtdicke ungefähr 0.8µm.

25 Die Resist-Schicht wird unter Verwendung einer Photomaske (Steg-Graben-Maske) belichtet (Belichtungswellenlänge 365 nm), mit einem wässrig-alkalischem Entwickler AZ 303 von Celanese für ungefähr 60 Sekunden entwickelt und 1 Minute lang bei 100°C getrocknet. Die vertikale Höhe der
30 Resiststrukturen beträgt ungefähr 0.8µm.

Die Resiststruktur wird unter Verwendung eines CHF₃-Plasma-Ätzverfahrens für 30 Sekunden zuerst in die Siliziumdioxid-

25

Schicht, anschließend mittels O_2 -Plasma-Ätzens für 60 Sekunden in die zersetzbare Polyester-Schicht übertragen. Die Siliziumdioxid-Schicht dient dabei als Ätzmaske. Während dieser Übertragung der Strukturen wird das Photoresist-

5 Material infolge Ätzens entfernt.

Anschließend wird die Siliziumdioxid-Schicht mittels einer ungefähr 60 Sekunden andauernden Behandlung mit einer HF-Lösung entfernt, die Schichtenfolge mit destilliertem Wasser

10 gespült und für 60 Sekunden bei $100^\circ C$ getrocknet.

Die gemäß diesem Herstellungsverfahren hergestellten Polyesterstrukturen auf Polyimid entsprechen in etwa der in Fig.1B gezeigten Schichtenfolge 110. Ausgehend von dieser

15 Schichtenfolge kann entsprechend einem der vorgestellten Herstellungsverfahren weiterverfahren werden, um eine erfindungsgemäße Schicht-Anordnung auszubilden.

In diesem Dokument sind folgende Veröffentlichungen zitiert:

[1] B.P Shieh, L.C. Bassmann, D.-K. Kim, K.C. Saraswat, M.D.
Deal, J.P. Mc Vittie, R.S. List, S. Nag, L. Ting,
5 Proc. IEEE, IITC 1998, 125-127

[2] Demolliens, O. et al., Proceedings of IITC 2000, 276, 277

[3] Kohl, P et al. (2000) "Air-Gaps in 0.3 μm Electrical
10 Interconnections", IEEE Electron Device Letters, Vol.21,
Nr.12, p.557-559

[4] DE 44 41 898 C1

15 [5] US 5,461,003

[6] US 6,342,722 B1

Bezugszeichenliste

- 100 Silizium-Wafer
- 102 Schichtenfolge
- 104 Bodenschicht
- 106 Schichtenfolge
- 108 Hilfsschicht
- 110 Schichtenfolge
- 112 zersetzbare Struktur
- 112a Komponente
- 114 Schichtenfolge
- 116 Kupfer-Material
- 118 Schichtenfolge
- 120 Kupfer-Leiterbahnen
- 122 Schichtenfolge
- 124 Deckschicht
- 126 Schicht-Anordnung
- 128 Hohlräume
- 130 Schicht-Anordnung
- 132 Kupfer-Stützsäule
- 134 Schichtenfolge
- 136 Photoresist-Schicht
- 138 Kontaktloch
- 140 Schichtenfolge
- 142 Via-Loch
- 144 Schichtenfolge
- 146 Schichtenfolge
- 148 Kupfer-Kontaktierung
- 150 Schicht-Anordnung
- 152 zusätzliche Kupfer-Leiterbahnen
- 154 zusätzliche Hohlräume
- 156 zusätzliche Deckschicht
- 158 Schichtenfolge
- 160 weitere Photoresist-Schicht
- 162 Schichtenfolge
- 164 weitere zersetzbare Struktur

- 166 Schichtenfolge
- 168 weitere Kupfer-Leiterbahnen
- 170 Schicht-Anordnung
- 172 weitere Deckschicht
- 174 weitere Hohlräume

Patentansprüche:**1. Schicht-Anordnung**

- mit einer auf einem Substrat angeordneten Schicht, die
5 einen ersten Teilbereich aus zersetzbarem Material und
einen daneben angeordneten zweiten Teilbereich mit einer
Nutzstruktur aus einem nicht-zersetzbaren Material
aufweist;
- mit einer Deckschicht auf der Schicht aus zersetzbarem
10 Material und der Nutzstruktur;
- mit einer elektrisch leitfähigen Passivierungsschicht
zumindest zwischen der Nutzstruktur und der Deckschicht;
- wobei die Schicht-Anordnung derart eingerichtet ist,
15 dass das zersetzbare Material aus der Schicht-Anordnung
entfernbar ist.

2. Schicht-Anordnung nach Anspruch 1

mit einer Zwischenschicht zwischen dem Substrat und der
Schicht aus zersetzbarem Material und aus der Nutzstruktur.

20

3. Schicht-Anordnung nach Anspruch 1 oder 2

bei der das Substrat Silizium aufweist.

4. Schicht-Anordnung nach Anspruch 2 oder 3,

25 bei der die Deckschicht und/oder die Zwischenschicht aus
dielektrischen Material hergestellt ist.

5. Schicht-Anordnung nach einem der Ansprüche 2 bis 4,

30 bei der die Deckschicht und/oder die Zwischenschicht aus
einem oder einer Kombination der Materialien

- Siliziumoxid;
- Siliziumnitrid;

- SiLK;
 - poröses SiLK;
 - Oxazol;
 - poröses Oxazol;
 - 5 • Black Diamond;
 - Coral;
 - Nanoglass;
 - JSR LKD;
 - Polybenzoxazol;
 - 10 • Polybenzimidazol;
 - Polyimid;
 - Polychinolin;
 - Polychinoxalin;
 - Polyarylen; und
 - 15 • Polyarylenether
- ist.

6. Schicht-Anordnung nach einem der Ansprüche 1 bis 5,
bei der die Deckschicht derart eingerichtet ist, dass sie für
20 zersetztes zersetzbare Material durchlässig ist.

7. Schicht-Anordnung nach einem der Ansprüche 1 bis 6,
bei der die Nutzstruktur aus einem elektrisch leitfähigen
Material hergestellt ist.

25

8. Schicht-Anordnung nach Anspruch 7,
bei der die Nutzstruktur

- Silber;
- eine Silber-Legierung;
- 30 • Wolfram;
- Wolfram-Silizid;

- Aluminium;
- eine Aluminium-Legierung;
- Kupfer; und/oder
- eine Kupfer-Legierung

5 aufweist.

9. Schicht-Anordnung nach einem der Ansprüche 1 bis 6,
bei der die Nutzstruktur aus einem dielektrischen Material
hergestellt ist.

10

10. Schicht-Anordnung nach Anspruch 9,
bei der die Nutzstruktur

- Siliziumdioxid;
- Siliziumnitrid; und/oder
- ein keramisches Material

15

aufweist.

11. Schicht-Anordnung nach einem der Ansprüche 1 bis 10,
bei der das zersetzbare Material thermisch zersetzbar ist.

20

12. Schicht-Anordnung nach einem der Ansprüche 1 bis 11,
bei der das zersetzbare Material eines oder eine Kombination
von

- Polyester;
- Polyether;
- Polyethylenglykol;
- Polypropylenglykol;
- Polyethylenoxid;
- Polypropylenoxid;
- Polyacrylat;
- Polymethacrylat;

25

30

- Polyacetal;
 - Polyketal;
 - Polycarbonat;
 - Polyurethan;
 - 5 • Polyetherketon;
 - cycloaliphatischem Polymer;
 - Polynorbornen;
 - aliphatischem Polyamid;
 - Novolak;
 - 10 • Polyvinylphenol;
 - eine Epoxy-Verbindung;
 - Co-Polymer dieser Verbindungen; und
 - Ter-Polymer dieser Verbindungen
- aufweist.
- 15
13. Schicht-Anordnung nach einem der Ansprüche 1 bis 12, bei der das zersetzbare Material photosensitiv ist.
14. Schicht-Anordnung nach einem der Ansprüche 1 bis 13,
- 20 bei der in der zwischen dem Substrat und der Deckschicht angeordneten Schicht mindestens eine Stützstruktur ausgebildet ist.
15. Schicht-Anordnung nach einem der Ansprüche 1 bis 14
- 25 mit einer entlang der seitlichen Begrenzung des Substrats verlaufenden Schutzstruktur zum Schutz der Nutzstruktur vor Einflüssen der Umgebung.
16. Schicht-Anordnung nach einem der Ansprüche 1 bis 15
- 30 mit einer die Nutzstruktur zumindest teilweise umgebenden Passivierungsschicht.

17. Verfahren zum Herstellen einer Schicht-Anordnung
bei dem

- auf einem Substrat eine Schicht ausgebildet wird, die einen ersten Teilbereich aus zersetzbarem Material und einen daneben angeordneten zweiten Teilbereich mit einer Nutzstruktur aus einem nicht-zersetzbaren Material aufweist;
- eine Deckschicht auf der Schicht aus zersetzbarem Material und der Nutzstruktur ausgebildet wird;
- eine elektrisch leitfähige Passivierungsschicht zumindest zwischen der Nutzstruktur und der Deckschicht gebildet wird;
- wobei die Schicht-Anordnung derart eingerichtet ist, dass das zersetzbare Material aus der Schicht-Anordnung entfernbar ist.

18. Verfahren nach Anspruch 17,
bei dem das zersetzbare Material aus der Schicht-Anordnung entfernt wird.

19. Verfahren nach Anspruch 18,
bei dem das zersetzbare Material mittels thermischen Zersetzens aus der Schicht-Anordnung entfernt wird.

20. Verfahren nach einem der Ansprüche 17 bis 19,
bei dem

- die Nutzstruktur aus Kupfer ausgebildet wird;
 - die Nutzstruktur zumindest teilweise mit einer Passivierungsschicht ummantelt wird, welche
- Passivierungsschicht
- o mittels eines "Electroless Deposition"-Verfahrens aus Kobalt-Wolfram-Phosphor, Kobalt-Wolfram-Bor,

Kobalt-Phosphor oder Ruthenium ausgebildet wird;
oder

- o mittels eines "Chemical Vapour Deposition"-
Verfahrens aus Tantal, Tantalnitrid, Titannitrid,
5 Wolfram, Wolfram-Stickstoff oder Wolfram-
Kohlenstoff ausgebildet wird.

21. Verfahren nach einem der Ansprüche 17 bis 20,
bei dem die Schicht aus zersetzbarem Material und der
10 Nutzstruktur ausgebildet wird, indem

- zersetzbares Material abgeschieden und strukturiert
wird;
- Material der Nutzstruktur abgeschieden wird;
- die Oberfläche der so erhaltenen Schichtenfolge
15 planarisiert wird.

22. Verfahren nach einem der Ansprüche 17 bis 20,
bei dem die Schicht aus zersetzbarem Material und der
Nutzstruktur ausgebildet wird, indem

- 20 • Material der Nutzstruktur abgeschieden und strukturiert
wird;
- zersetzbares Material abgeschieden wird;
- die Oberfläche der so erhaltenen Schichtenfolge
planarisiert wird.

25

23. Verfahren nach einem der Ansprüche 17 bis 22,
bei dem mindestens ein zusätzlicher Schichtenstapel auf der
Deckschicht ausgebildet wird, wobei der zusätzliche
Schichtenstapel eine zusätzliche Deckschicht auf einer
30 zusätzlichen Schicht aus zersetzbarem Material und einer
Nutzstruktur aufweist.

24. Verfahren nach Anspruch 23,
bei dem durch eine Deckschicht voneinander getrennte
Nutzstrukturen miteinander gekoppelt werden, indem in die
Deckschicht mindestens ein Kontaktloch eingebracht und mit
5 elektrisch leitfähigem Material gefüllt wird.

FIG 1A



FIG 1B

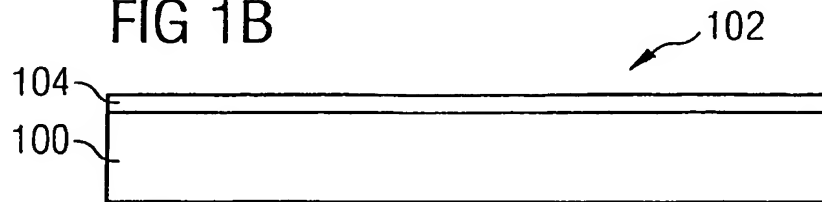


FIG 1C

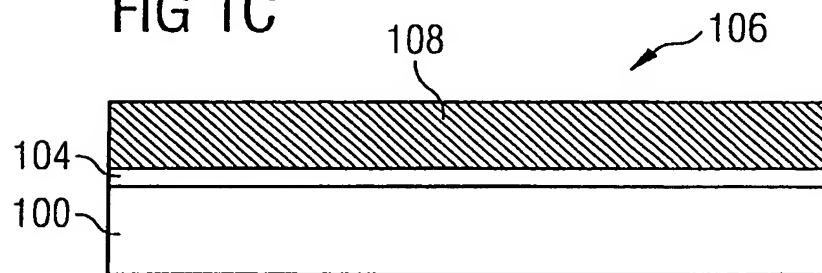


FIG 1D

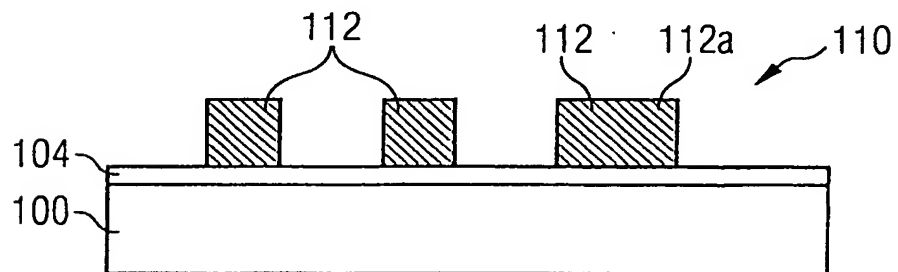


FIG 1E

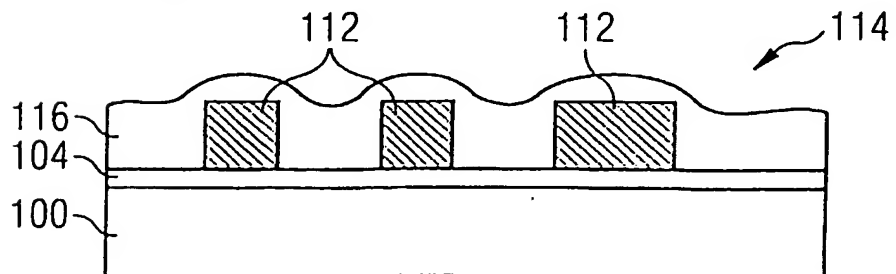


FIG 1F

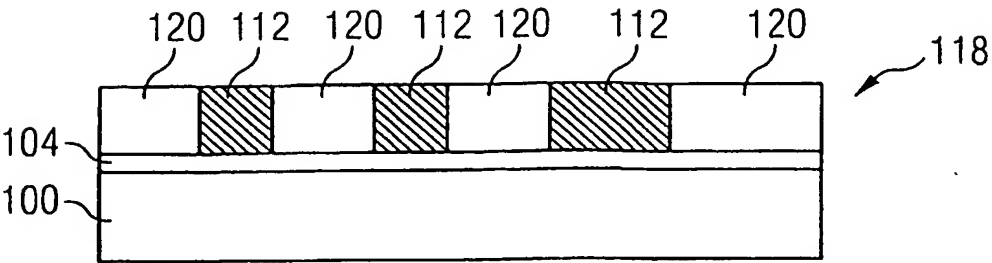


FIG 1G

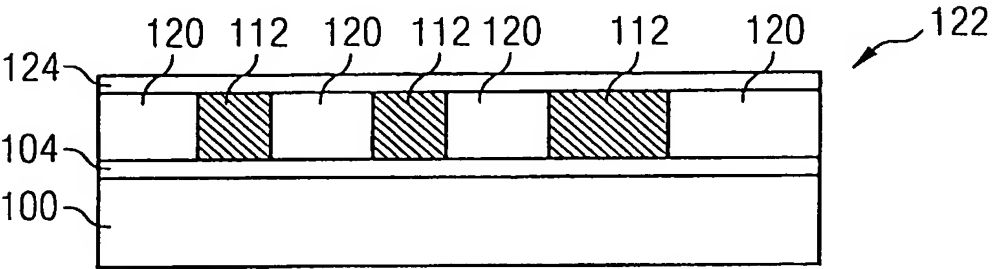


FIG 1H

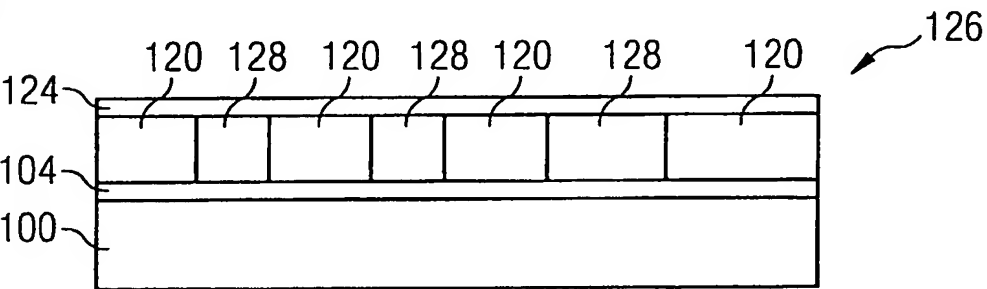


FIG 1I

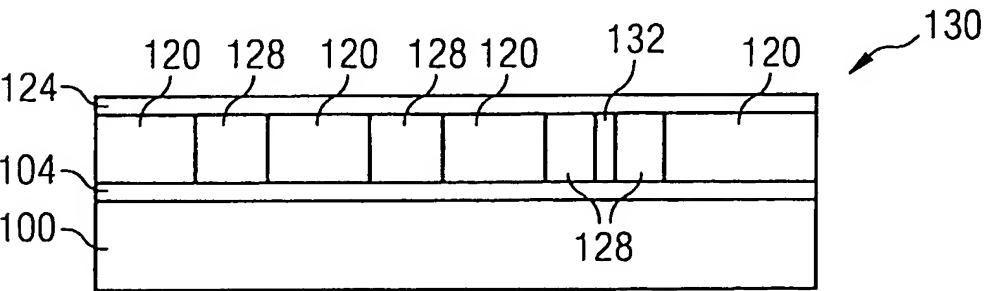


FIG 1J

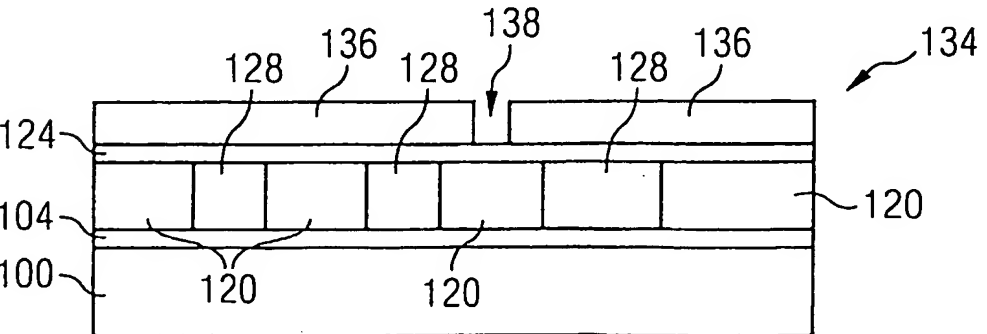


FIG 1K

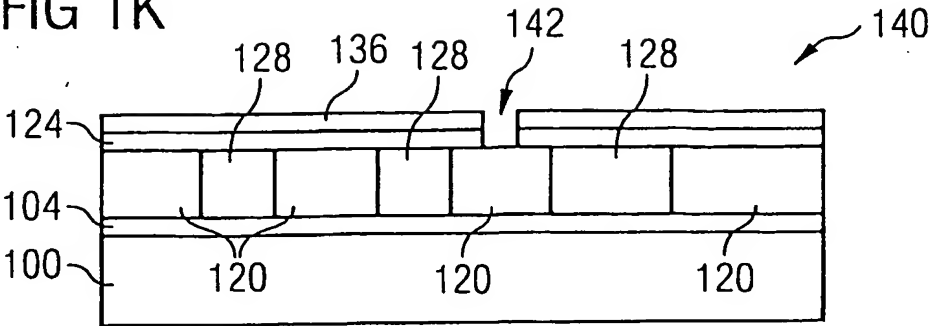


FIG 1L

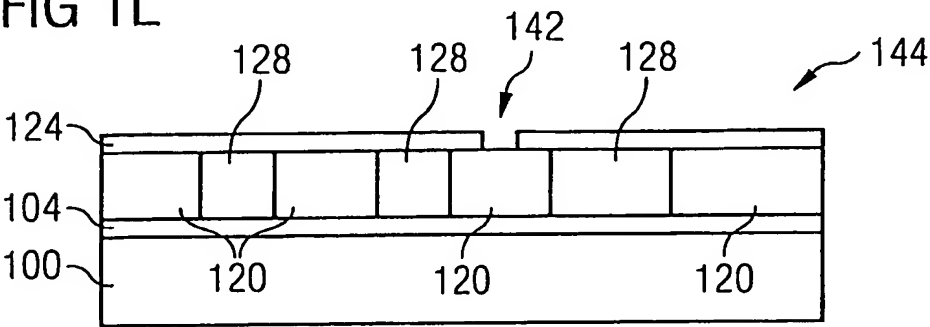


FIG 1M

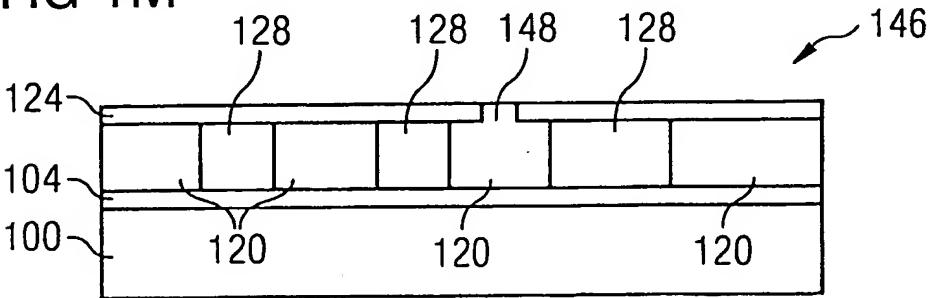


FIG 1N

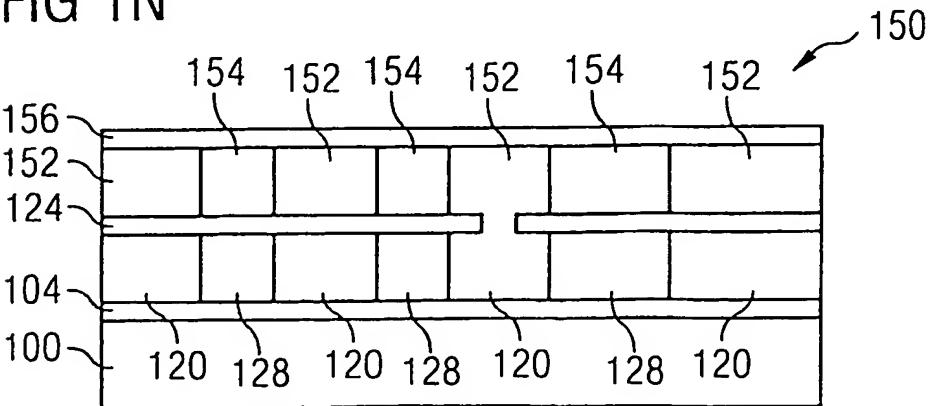


FIG 10

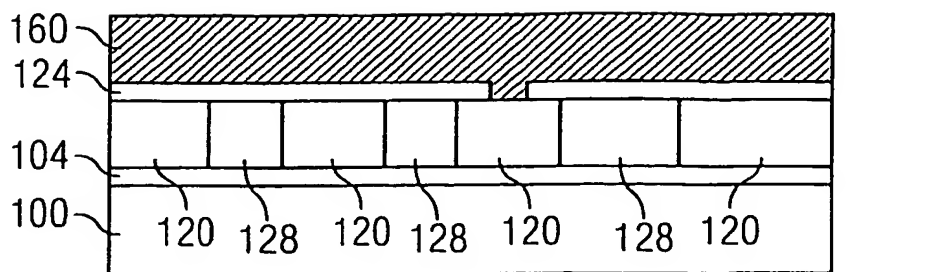


FIG 1P

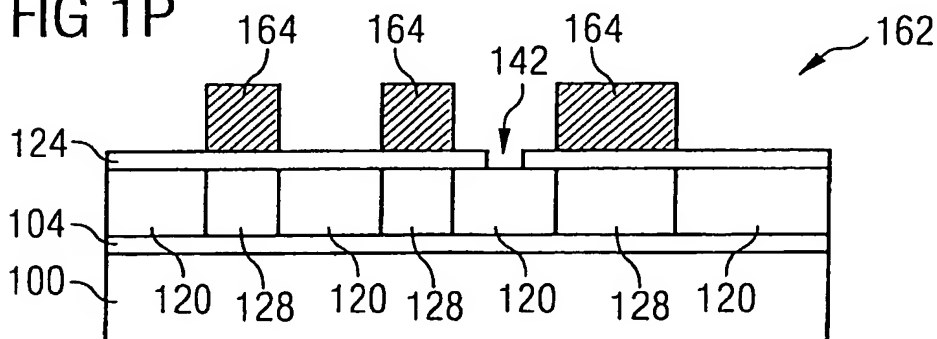


FIG 1Q

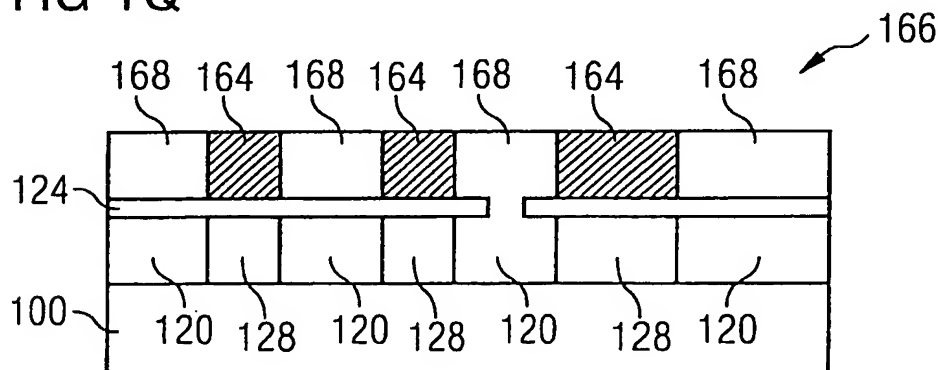


FIG 1R

